



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000315738 A**(43) Date of publication of application: **14.11.00**

(51) Int. Cl.

H01L 21/8247**H01L 29/788****H01L 29/792****H01L 27/115**(21) Application number: **11121688**(22) Date of filing: **28.04.99**(71) Applicant: **TOSHIBA CORP**(72) Inventor:
MORI SEIICHI
ISOBE KAZUAKI
YAMADA SEIJI
WATABE HIROSHI**(54) MANUFACTURE OF NONVOLATILE
SEMICONDUCTOR STORAGE DEVICE**

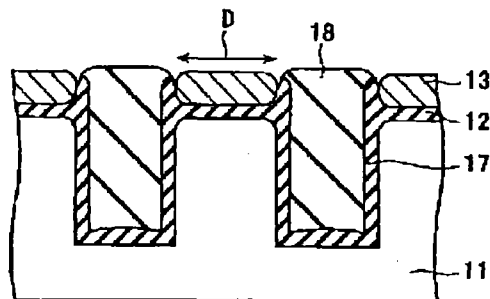
polycrystalline silicon film, which is connected with the film 13, is formed on the film 13.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To prevent the generation of etching residues on a first polycrystalline silicon film and to prevent the generation of a short-circuit between the memory cells of a floating gate at the time of processing the gate even though an oxidizing process for the first polycrystalline silicon film is added to the process for constituting the gate when the floating gate is constituted of the first polycrystalline silicon film and a second polycrystalline silicon film, which is formed on the first polycrystalline silicon film.

SOLUTION: A tunnel oxide film 12 is formed on a substrate 11, a first polycrystalline silicon film 13 is formed on the film 12 and parts of the surfaces of the films 13 and 12 and the substrate 11 are selectively removed in order to form grooves 15 for element isolation. An element region 16 and the film 13 are oxidized to make round the square parts of the region 16 and the side surfaces of the film 13, a plasma oxide film 18 is buried in the grooves 15, the entire surface is treated by an isotropic etching, the entire surface is treated by an anisotropic etching and a second



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-315738

(P2000-315738A)

(43)公開日 平成12年11月14日(2000.11.14)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-ト(参考)

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

5 F 0 0 1

29/788

27/10

4 3 4

5 F 0 8 3

29/792

27/115

審査請求 未請求 請求項の数8 O L (全 10 頁)

(21)出願番号

特願平11-121688

(22)出願日

平成11年4月28日(1999.4.28)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 森 誠一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 磯辺 和亜樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

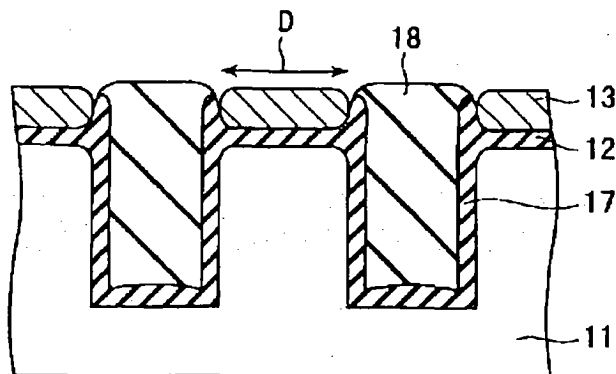
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置の製造方法

(57)【要約】

【課題】本発明は、浮遊ゲートを第1の多結晶シリコン膜とその上に形成される第2の多結晶シリコン膜とで構成する際に、第1の多結晶シリコン膜の酸化工程が加わったとしても、ゲート加工時に、第1の多結晶シリコン膜のエッチング残りの発生を防止し、浮遊ゲートのメモリセル間での短絡を防止する。

【解決手段】基板11上にトンネル酸化膜12を形成し、その上に第1の多結晶シリコン膜13を形成し、第1の多結晶シリコン膜13、トンネル酸化膜12及び基板11を選択的に順次除去して素子分離用の溝15を形成し、酸化を行って素子領域16の角部及び第1の多結晶シリコン膜13の側面を丸め、溝15内にプラズマ酸化膜18を埋め込み、等方性エッチングにより全面を処理し、異方性エッチングにより全面を処理し、第1の多結晶シリコン膜13に接続する第2の多結晶シリコン膜19を形成することを特徴する。



【特許請求の範囲】

【請求項1】 シリコン半導体基板上にトンネル絶縁膜を形成する工程と、

上記トンネル絶縁膜上に第1の多結晶シリコン膜を形成する工程と、

上記第1の多結晶シリコン膜、トンネル絶縁膜及びシリコン半導体基板を選択的に順次除去してシリコン半導体基板に素子分離用の溝を形成し、シリコン半導体基板に複数の素子領域を形成する工程と、

酸化を行って上記素子領域の角部及び上記第1の多結晶シリコン膜の側面を丸める工程と、

上記素子分離用の溝内に絶縁膜を埋め込む工程と、

等方性エッチングにより全面を処理する工程と、

異方性エッチングにより全面を処理する工程と、

上記第1の多結晶シリコン膜に接続する第2の多結晶シリコン膜を形成する工程とを具備したことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 前記等方性エッチングにより全面を処理する工程がウエットエッチングにより行われることを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項3】 前記異方性エッチングにより全面を処理する工程がドライ処理による反応性イオンエッチングにより行われることを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項4】 前記等方性エッチングにより全面を処理する工程が、少なくとも、前記酸化を行って上記素子領域の角部及び上記第1の多結晶シリコン膜の側面を丸める工程により第1の多結晶シリコン膜が順テーパとなっている位置まで側面の絶縁膜を除去するような量だけエッチングすることを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項5】 前記異方性エッチングにより全面を処理する工程が、前記絶縁膜に順テーパがかかるような条件で、ドライエッチングを行い、平面部に比較して、第1の多結晶シリコン膜側面で深さ方向へのエッチングレートが十分に遅くなるような条件で行われることを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項6】 前記等方性エッチング、または異方性エッチング、あるいは両エッチングを行う際に、周辺回路部を保護してエッチングされないようにすることを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 前記異方性エッチングを行った後に、前記第1の多結晶シリコン膜表面をアッシング処理によりクリーニングする工程をさらに具備したことを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項8】 前記異方性エッチングを行った後に、前記第1の多結晶シリコン膜表面を、多結晶シリコン膜を

エッチングする条件のケミカルドライエッチングによりクリーニングする工程をさらに具備したことを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は制御ゲートと浮遊ゲートとを有するスタックゲート型の不揮発性半導体記憶装置の製造方法に係り、特に浮遊ゲートが2層の多結晶シリコン膜からなり、1層目の多結晶シリコン膜に対して自己整合的に素子分離用のトレンチが形成され、1層目の多結晶シリコン膜の上部に2層目の多結晶シリコン膜が形成される不揮発性半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】フラッシュメモリを代表とする、制御ゲートと浮遊ゲートの2層ゲート構造（スタックゲート）を有する不揮発性メモリでは、素子分離を浅い溝型素子分離（Shallow Trench Isolation、略してSTI）で行う場合に、素子領域（Activearea、略してAA）のSTIに接するエッジで、浮遊ゲートが分離領域に落ち込み、このエッジでの電界集中によるメモリセル特性、特に書込みや消去に用いるトンネル電流量のばらつきが発生する。

【0003】このトンネル電流量のばらつきを抑制するために、メモリセルのトンネル酸化膜、浮遊ゲート用の第1の多結晶シリコン膜を形成した後に、STI領域を形成して浮遊ゲートと素子領域とをそれぞれの端部の位置が一致するように自己整合的に形成する方法が用いられる。

【0004】また、制御ゲートと浮遊ゲートとの間の十分な容量カップリングを確保するために、浮遊ゲート用の第1の多結晶シリコン膜の上に第2の多結晶シリコン膜を直接接続するように形成し、さらにこの第2の多結晶シリコン膜をSTI素子分離領域上に張り出させる方法が用いられる。これらについては、例えば、K.Shimizu他による、「A Novel High-Density 5F¹ NAND STI Cell Technology Suitable for 256Mbit and 1Gbit Flash Memories」international ELECTRON DEVICES meeting 1997, WASHINGTON, DC DECEMBER 7-10, 1997, IEDM Technical Digest Paper pp271-274に開示されている。

【0005】次に、上記文献に開示されている不揮発性メモリの製造工程を以下に説明する。この製造方法は、メモリセル部と周辺回路部とを有するフラッシュメモリの場合であり、図17から図20はメモリセル部の製造工程を示し、図21及び図22は周辺回路部の製造工程を示している。

【0006】まず、図17に示すように、シリコン基板31上にメモリセルのトンネル酸化膜として用いられる膜厚が10nmのトンネル酸化膜32を形成し、その上に浮遊ゲートの一部となる第1の多結晶シリコン膜33

を形成する。次に、図18に示すように、第1の多結晶シリコン膜33、トンネル酸化膜32及びシリコン基板31を選択的にエッチングして、シリコン基板31に溝部34を形成する。この溝部34は素子分離を行うための浅いトレンチ分離部(STI)となる。また、この溝部34により、シリコン基板31は複数の素子領域に分離される。次に、この溝部34を絶縁膜35で埋め込む。

【0007】さらに、図19に示すように、浮遊ゲートの一部となる第2の多結晶シリコン膜36を形成する。続いて、図20に示すように、ゲート間絶縁膜37を介して制御ゲート38を形成する。

【0008】一方、周辺回路部については、図21に示すように、第1及び第2の多結晶シリコン膜33、37を形成した段階で、リソグラフィ工程によりメモリセル部をカバーして保護した上で、周辺回路部における第2の多結晶シリコン膜36及び第1の多結晶シリコン膜33を除去し、さらにトンネル酸化膜32を剥離した後、再度、ゲート酸化、ゲート電極用の多結晶シリコン膜の堆積を行って、図22に示すように、ゲート酸化膜37及びゲート電極38を形成する。

【0009】このとき、ゲート電極38が素子領域のエッジでSTI領域に落ち込むように形成されると、MOSTランジスタに寄生ランジスタが発生する。

【0010】図23は、図22中に丸で囲んだ素子領域のエッジ部Aを抽出し、拡大して示す断面図である。ゲート電極38が素子領域のエッジでSTI領域に落ち込むと、素子領域の上部側面には、図中の丸で囲んだ領域Bに寄生ランジスタが発生する。そして、この寄生ランジスタが動作すると、サブスレシホールド特性にキンク(kink:ねじれ)が発生し、これによってスタンドバイ電流の増加を招く。特に、素子領域エッジの角部が丸まっていないと、電界集中効果も大きくなり、キンク特性が強調される。

【0011】これを防止するためには、図24に示すように、STIの形成時に、STI領域を絶縁膜35で埋め込む前に、素子領域エッジの角部を丸め、かつトンネル酸化膜32にバースピーク(birds beak)が生じるような丸め酸化工程を行うことが有効である。この丸め酸化工程における酸化膜厚を最適化すると、例えば図25に示すように、ゲート電極38のSTI領域への落ち込みの度合いが最低限に抑えられる。

【0012】

【発明が解決しようとする課題】ところが、上記の丸め酸化工程を行った場合、メモリセル部に問題が生じる場合がある。この丸め酸化時に、第1の多結晶シリコン膜33が酸化されることによってその形状が丸まってしまう、さらに上部には酸化膜39が形成される。この様子を図26、及び図26中に丸で囲んだ領域Cを拡大した図27に示す。

【0013】上記のような丸め酸化工程を行った場合、第2の多結晶シリコン膜36を形成する前に、第1の多結晶シリコン膜33の上部及び側面の酸化膜を一定量除去してから第2の多結晶シリコン膜36を形成しないと、後の工程でメモリセルのスタックトゲートの垂直エッチングを行う際に、第1の多結晶シリコン膜33の上部に存在する酸化膜39がマスクとなって第1の多結晶シリコン膜33がフィラメント状(直線状)に残ってしまい、隣接メモリセル間で浮遊ゲートが短絡してしまうという問題を引き起こす。この様子を図27に示す。図中、符号33Bで示した第1の多結晶シリコン膜33の側面の部分は、垂直エッチングを行った際にエッチング残りが発生する箇所を示しており、このエッチング残りの発生箇所が、図中の奥行き方向で隣接する複数のメモリセル間で連続することにより、先の浮遊ゲートの短絡が発生する。

【0014】上記のような浮遊ゲートの短絡を防止するために、通常のウェットエッチング処理により上記酸化膜39を除去しようとした場合に、次のような問題が発生する。

【0015】まず、ウェットエッチングの進行速度は、STIの埋め込み材料の膜質のわずかな変動でも大きく変化する。このため、エッチングの制御性が悪い。エッチングし過ぎると、第2の多結晶シリコン膜36がSTI領域へ落ち込むため、第2の多結晶シリコン膜36が素子領域と短絡する危険性が出てくる。そのためには、例えば、第1の多結晶シリコン膜33で順テーパが入っている領域40のみが露出するような図28の状態でエッチングを停止したい。しかし、膜質の変動でエッチングレートが上がると、図29に示すように、第1の多結晶シリコン膜33で逆テーパが入っている領域41も露出するようになる。図29に示すような状態で第2の多結晶シリコン膜を形成すると、この第2の多結晶シリコン膜と素子領域とが短絡する恐れが出てくる。

【0016】また、ウェットエッチングを行う場合、第1の多結晶シリコン膜33の側面に形成された熱酸化膜と、STIの埋め込み材料として用いられている絶縁膜(プラズマ系)35のエッチング速度が異なり、通常、熱酸化膜に比べてプラズマ系酸化膜のエッチング速度が速いため、第1の多結晶シリコン膜33の上部及び側面の酸化膜を除去しようとすると、図30に示すように、それよりもSTI内部の絶縁膜35が速くエッチングされてしまい、STI内部が深く落ち込み、上記のような短絡を引き起こし易い。

【0017】また、長時間のウェットエッチングでは、図31(a)に示すように、STI内部の埋め込み酸化膜(絶縁膜35)の落ち込みが多くなる上に、横方向にも埋め込み酸化膜が後退し、後の工程で、図31(b)に示すように、周辺回路部でのSTI内部の埋め込み酸化膜の落ち込みにつながり、さらに、それにより引き起

こされるゲート電極のSTI内部への落ち込みとそれによる周辺トランジスタでのキックの発生につながることになる。

【0018】さらに、図示しないが、STI埋め込み後のCMP (Chemical Mechanical Polishing) 平坦化工程の際に、STI内部のプラズマ系酸化膜にスクラッチと呼ばれる微細な傷が入ることがある。その後に長時間のウェットエッチング処理を行うと、上記傷が大きな溝に拡大し、種々の不良の原因になる場合がある。

【0019】また、ここで、例えば、通常用いられるドライエッチングであるRIE処理のみで第1の多結晶シリコン膜33の上部及び側面の酸化膜を除去しようとした場合、図32に示すように、どうしても順テーパのかかったエッチングになり易い。このため、側面の酸化膜は除去できず、途中でエッチングが停止してしまう。結果的に順テーパのかかった位置までエッチングできないので、この後のスタックゲート加工時に第1の多結晶シリコン膜33のエッチング残り(図中、破線で示した部分)を防止することができない場合が多い。

【0020】この発明は上記のような事情を考慮してなされたものであり、その目的は、浮遊ゲートを第1の多結晶シリコン膜及びその上に形成される第2の多結晶シリコン膜で構成する際に、第1の多結晶シリコン膜の酸化工程が加わったとしても、ゲートの異方性エッチングによる加工時に、第1の多結晶シリコン膜のエッチング残りの発生が防止でき、もって浮遊ゲートのメモリセル間での短絡を防止することができる不揮発性半導体記憶装置の製造方法を提供することにある。

【0021】

【課題を解決するための手段】この発明の不揮発性半導体記憶装置の製造方法は、シリコン半導体基板上にトンネル絶縁膜を形成する工程と、上記トンネル絶縁膜上に第1の多結晶シリコン膜を形成する工程と、上記第1の多結晶シリコン膜、トンネル絶縁膜及びシリコン半導体基板を順次除去して素子分離用の溝を形成し、シリコン半導体基板に複数の素子領域を形成する工程と、酸化を行って上記素子領域のエッジ及び上記第1の多結晶シリコン膜の側面を丸める工程と、上記素子分離用の溝内に絶縁膜を埋め込む工程と、等方性エッチングにより全面を処理する工程と、異方性エッチングにより全面を処理する工程と、上記第1の多結晶シリコン膜に接続する第2の多結晶シリコン膜を形成する工程とを具備している。

【0022】

【発明の実施の形態】以下、図面を参照してこの発明を実施の形態により説明する。

【0023】(第1の実施の形態) 以下、第1の実施の形態による不揮発性半導体記憶装置の製造方法の主要な製造工程を説明する。この製造方法は、メモリセル部と周辺回路部とを有する不揮発性メモリの場合であり、図

1から図11はメモリセル部の製造工程を示し、図12から図14は周辺回路部の製造工程を示している。

【0024】まず、図1に示すように、シリコン半導体基板11上の全面にメモリセルのトンネル酸化膜12を例えば10nmの厚みに形成する。次に、その上部に浮遊ゲートの一部となる第1の多結晶シリコン膜13を70nm形成する。

【0025】さらに、その上に、通常はシリコン窒化膜(Si_3N_4)14を、例えば200nm堆積し、その後、リソグラフィ工程により、STIの溝を形成する部分が開口されたパターンを有するようにシリコン窒化膜14を加工する。続いて、図2に示すように、このシリコン窒化膜14をマスクに用いて、第1の多結晶シリコン膜13、トンネル酸化膜12及びシリコン半導体基板11を順次、RIE法により垂直にエッチング加工する。このエッチングにより、シリコン半導体基板11には素子分離用の浅い溝(STI)15が多数形成され、これらの浅い溝15によってシリコン半導体基板11が多数の素子領域16に分離される。

【0026】次に、酸化工程により、図3に示すように、各素子領域16の上部の角部を丸めると共に、第1の多結晶シリコン膜13とシリコン半導体基板11との間のトンネル酸化膜12の端部にバースピーク(birds beak)を入れる。この酸化は例えば30nmの熱酸化工程により行われる。これにより、浅い溝15の内部及び第1の多結晶シリコン膜13の露出面に渡って熱酸化膜17が形成される。この時の酸化条件を適切に選ぶ(例えば1000°C以上の高温)ことにより、各素子領域の上部の角部が丸まると共に、トンネル酸化膜12にも酸化膜がバースピーク状に侵入する。また、この酸化工程により、第1の多結晶シリコン膜13とシリコン窒化膜14との界面にも酸化膜17が侵入すると共に、第1の多結晶シリコン膜13の上部の角部が図3に示すように丸まる。

【0027】次に、STI内部を埋め込むために、図4に示すように、例えば、プラズマ酸化膜18を全面に堆積する。ここで、先の溝15のアスペクト比が高い場合には、高密度プラズマCVD(HDP-CVD)法を用いて酸化膜を堆積してもよい。

【0028】次に、図5に示すように、例えば、CMP (Chemical Mechanical Polishing) 法により、このプラズマ酸化膜18を平坦化する。次に、図6に示すように、第1の多結晶シリコン膜13上のシリコン窒化膜14をウェット処理により除去する。このとき、場合によっては、STI用の浅い溝15内に埋め込んだ絶縁膜18の高さを調整するために、シリコン窒化膜14の除去に先立って絶縁膜18を多少エッチングするようにしてもよい。図6では絶縁膜18をわずかにエッチングした状態を示している。

【0029】その後、図7に示すように、等方性エッチ

ングにより絶縁膜18を所定量エッチングして、第1の多結晶シリコン膜13上に位置する絶縁膜18の間口Dを横方向に必要量広げる。この等方性エッチングは通常、希HFや NH_4F といったエッチング溶液によるウェットエッチングが用いられるが、ドライエッチングによっても横方向に間口を広げることができればこの方法でも構わない。

【0030】このとき、仮に、等方性エッチングにより間口を広げる処理を行わずに、異方性の垂直ドライエッチングを行うと、第1の多結晶シリコン膜13の側面に位置する酸化膜17のエッチングは進行せず、結果的には後のスタックドゲートの加工工程で第1の多結晶シリコン膜13のエッチング残りが生じてしまう。従って、上記等方性エッチングによる処理が重要である。

【0031】次に、図8に示すように、異方性エッチングにより、第1の多結晶シリコン膜13の上部側面の絶縁膜18を所定の必要量除去する。この必要量とは、残存する酸化膜17の下部に第1の多結晶シリコン膜13が存在せず、後のスタックドゲートエッチング加工の際に、第1の多結晶シリコン膜13のエッチング残りが発生しないような位置までエッチングすることであり、一般には、第1の多結晶シリコン膜13が酸化により順テーパーとなっている位置付近まではエッチングする必要がある。

【0032】この方法によれば、絶縁膜18の間口を広げる際に必要最低限のウェット処理を行うにしても、その後のエッチングは制御性のあるドライエッチングのため、エッチングの深さの制御が可能である。また、熱酸化膜とSTI内部に埋め込まれたプラズマ酸化膜のエッチングレートも大差ないため、全てをウェットエッチングで行った場合のようにSTI内部に埋め込まれたプラズマ酸化膜のみが深くエッチングされるということがない。

【0033】さらに、上記異方性エッチングについては、故意に順テーパーがかかるような条件でエッチングすると、浮遊ゲート側面で自動的にエッチングが停止し、オーバーエッチングマージンを拡大することができる。

【0034】次に、図9に示すように、全面に第2の多結晶シリコン膜19を堆積し、さらに、図10に示すように、STI領域上で、浮遊ゲート分離用領域20のリソグラフィ工程及びエッチングを行い、浮遊ゲートを各セル毎に分離するための加工を行う。このとき、分離用領域20によってそれぞれ分離された第2の多結晶シリコン膜19はSTI領域上に張り出した形状となり、各第2の多結晶シリコン膜19は第1の多結晶シリコン膜13と共に浮遊ゲートを構成する。

【0035】次に、図11に示すように、浮遊ゲート上に、浮遊ゲートと制御ゲートとの間のゲート間絶縁膜となる例えば酸化膜/窒化膜/酸化膜からなる3層構造のONO膜21を形成する。

【0036】一方、周辺回路部については、先の第1の多結晶シリコン膜13、第2の多結晶シリコン膜19及びONO膜21を形成した後、図12に示すように、リソグラフィ工程によりレジスト等でメモリセル部をカバーして保護した上で、周辺回路部におけるONO膜21、第2の多結晶シリコン膜19及び第1の多結晶シリコン膜13をそれぞれドライエッチングにより除去し、さらにトンネル酸化膜12をウェットエッチングにより除去する。次に、図13に示すように、周辺回路部を構成するMOSトランジスタとして必要な膜厚、例えば15nmのゲート酸化膜22を形成した後、全面に第3の多結晶シリコン膜23を堆積する。この第3の多結晶シリコン膜23は、周辺回路トランジスタのゲート及びメモリセルの制御ゲートを構成するために使用される。

【0037】次に、メモリセルのゲート長を規定するためのリソグラフィ工程を行い、制御ゲートを構成するための上記第3の多結晶シリコン膜23と、浮遊ゲートを構成する第1及び第2の多結晶シリコン膜13、19を垂直方向にエッチング加工する。

【0038】図15はメモリセル部を上から見た平面図である。先に説明した図1から図11の各断面図は、この図15の平面図におけるA-A'線に沿った断面に対応している。ただし、図1から図11の各断面図に示されているメモリセルの個数は図15のものとは対応していない。

【0039】制御ゲートと浮遊ゲートとの垂直方向エッチング(スタックドゲート加工)は、図中、斜線を施した領域にフォトレジスト24を形成した後、このフォトレジスト24をマスクに用いて、第3の多結晶シリコン膜23、ONO膜21、第2の多結晶シリコン膜19及び第1の多結晶シリコン膜13を順次エッチングすることにより行う。このエッチング後のA-A'線に沿った断面と交差する方向のB-B'線に沿った断面を図16に示す。

【0040】ここで、仮に、先の図7で説明した等方性エッチング工程及び図8で説明した異方性エッチング工程を実施しないと、図15中に示すように酸化膜17が直線状に残り、この直線状に残った酸化膜17がマスクとなって、垂直エッチングの際に第1の多結晶シリコン膜13が一部残り、浮遊ゲートがメモリセル間で短絡する。しかし、この実施の形態では上記浮遊ゲートの側面に多結晶シリコンが全く残らないようにエッチングできるので、浮遊ゲート同志の短絡の発生を防止することができる。

【0041】次に、図示しないが、周辺回路部において、第3の多結晶シリコン膜23をパターニングしてゲート加工を行い、その後、通常行われるようにメモリセル部、周辺回路部に、ソース、ドレイン用の拡散層を形成し、さらに配線工程を行うことにより不揮発性半導体メモリが完成する。

【0042】(第2の実施の形態) 上記第1の実施の形態による方法では、メモリセル部及び周辺回路部共に、等方性エッチング工程の後に続いて異方性エッチング工程を行う場合について説明した。しかし、周辺回路部におけるSTI埋め込み酸化膜の膜減りを極力防ぐには、工程は増えるが、リソグラフィ工程を行って周辺回路部をレジストでカバーして周辺回路部をレジストで保護した状態でエッチングする。このレジストによるカバーは、必要に応じて、等方性エッチング工程時のみ、または、異方性エッチング工程時のみに行うようにしてもよい。

【0043】(第3の実施の形態) 第1の実施の形態による方法において、異方性エッチング工程は、通常、ドライエッチング工程で代表されるが、このドライエッチング工程において第1の多結晶シリコン膜13の表面がエッチングに曝されると、表面にシリッチ酸化膜が形成され、そのまま適当な処理を行わずに第2の多結晶シリコン膜19を堆積すると、界面に強固な酸化膜層が形成され、後のエッチング工程の際に問題を引き起こしたり、第1、第2の多結晶シリコン膜13、19相互の電気的接続が不十分になったりする場合がある。

【0044】従って、このような場合には、後処理として CF_4 ガスを添加したアッシング工程、あるいは表面を、多結晶シリコンをエッチングする条件のCDE (Chemical Dry Etching) 工程で、第1の多結晶シリコン膜13の表面を軽くエッチングしてクリーニングする。このクリーニングを行うことにより、界面に強固な酸化膜層が形成されることによって引き起こされる、上記した種々の問題を解消することができる。

【0045】

【発明の効果】以上説明したように、この発明によれば、浮遊ゲートを第1の多結晶シリコン膜及びその上に形成される第2の多結晶シリコン膜で構成する際に、第1の多結晶シリコン膜の酸化が加わったとしても、ゲートの異方性エッチングによる加工時に、第1の多結晶シリコン膜のエッチング残りの発生が防止でき、もって浮遊ゲートのメモリセル間での短絡を防止することができる不揮発性半導体記憶装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】第1の実施の形態による不揮発性半導体記憶装置の製造方法におけるメモリセル部の製造工程を示す断面図。

【図2】図1に続くメモリセル部の製造工程を示す断面図。

【図3】図2に続くメモリセル部の製造工程を示す断面図。

【図4】図3に続くメモリセル部の製造工程を示す断面図。

【図5】図4に続くメモリセル部の製造工程を示す断面

図。

【図6】図5に続くメモリセル部の製造工程を示す断面図。

【図7】図6に続くメモリセル部の製造工程を示す断面図。

【図8】図7に続くメモリセル部の製造工程を示す断面図。

【図9】図8に続くメモリセル部の製造工程を示す断面図。

【図10】図9に続くメモリセル部の製造工程を示す断面図。

【図11】図10に続くメモリセル部の製造工程を示す断面図。

【図12】第1の実施の形態による不揮発性半導体記憶装置の製造方法における周辺回路部の製造工程を示す断面図。

【図13】図12に続く周辺回路部の製造工程を示す断面図。

【図14】図13に続く周辺回路部の製造工程を示す断面図。

【図15】第1の実施の形態による製造方法で製造された不揮発性半導体記憶装置のメモリセル部を上から見た平面図。

【図16】図15中のB-B'線に沿った断面を示す断面図。

【図17】従来の製造方法におけるメモリセル部の製造工程を示す断面図。

【図18】図17に続くメモリセル部の製造工程を示す断面図。

【図19】図18に続くメモリセル部の製造工程を示す断面図。

【図20】図19に続くメモリセル部の製造工程を示す断面図。

【図21】従来の製造方法における周辺回路部の製造工程を示す断面図。

【図22】図21に続く周辺回路部の製造工程を示す断面図。

【図23】図22の一部を抽出し、拡大して示す断面図。

【図24】従来の他の方法によるメモリセル部の製造工程を示す断面図。

【図25】従来の他の方法による周辺回路部の製造工程を示す断面図。

【図26】従来の他の方法の問題点を説明するための断面図。

【図27】図26の一部を抽出し、拡大して示す断面図。

【図28】従来の他の方法の問題点を説明するための断面図。

【図29】従来の他の方法の問題点を説明するための断

面図。

【図30】従来の他の方法の問題点を説明するための断面図。

【図31】従来のさらに他の方法の問題点を説明するための断面図。

【図32】従来のさらに他の方法の問題点を説明するための断面図。

【符号の説明】

11…シリコン半導体基板、

12…トンネル酸化膜、

13…第1の多結晶シリコン膜、

14…シリコン窒化膜 (Si_3N_4)、

15…素子分離用の浅い溝 (STI)、

16…素子領域、

17…熱酸化膜、

18…プラズマ酸化膜、

19…第2の多結晶シリコン膜、

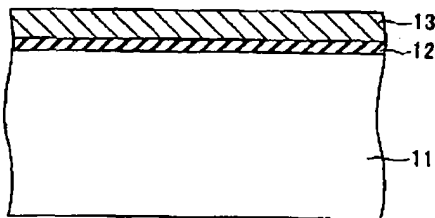
20…分離用領域、

21…ONO膜、

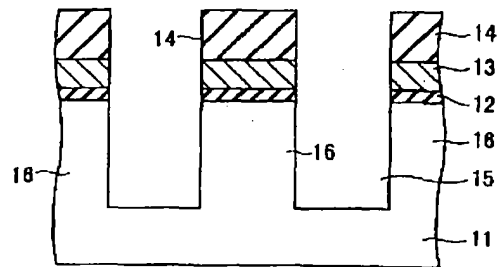
22…ゲート酸化膜、

23…第3の多結晶シリコン膜。

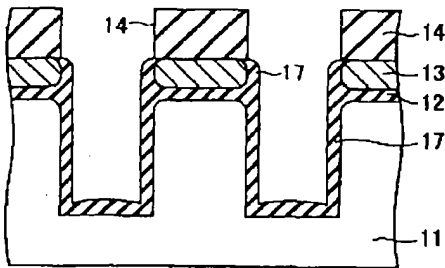
【図1】



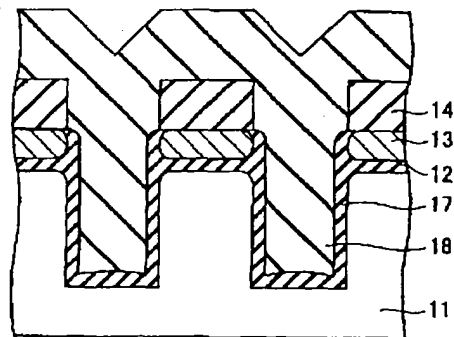
【図2】



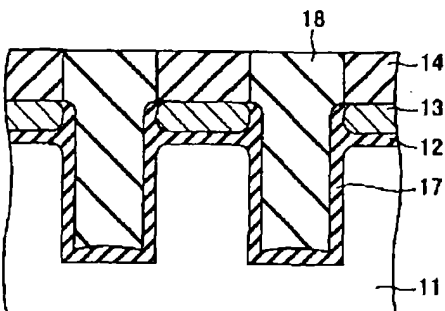
【図3】



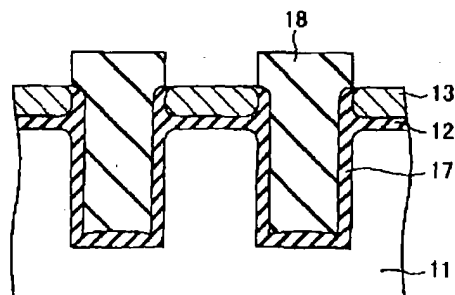
【図4】



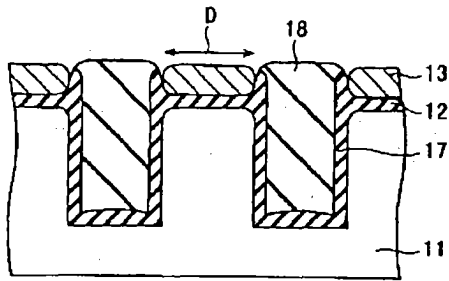
【図5】



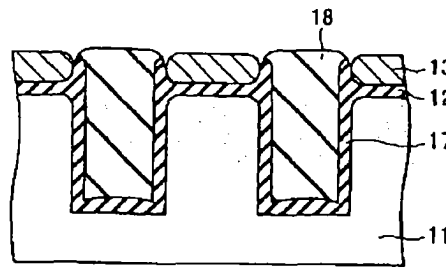
【図6】



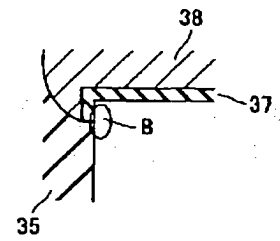
【図7】



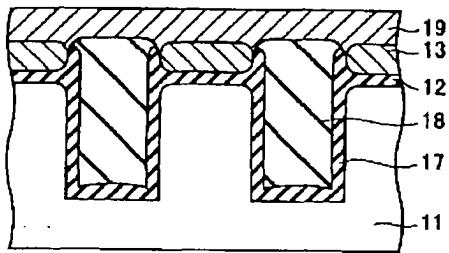
【図8】



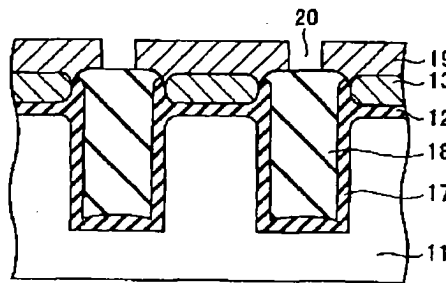
【図23】



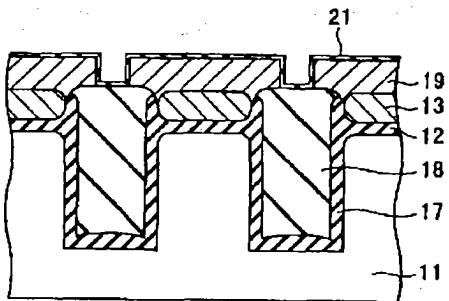
【図9】



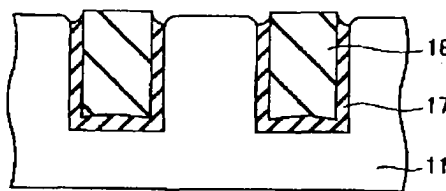
【図10】



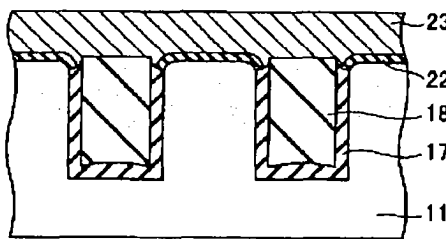
【図11】



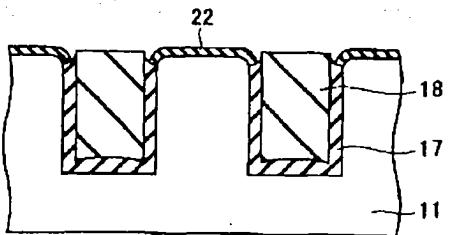
【図12】



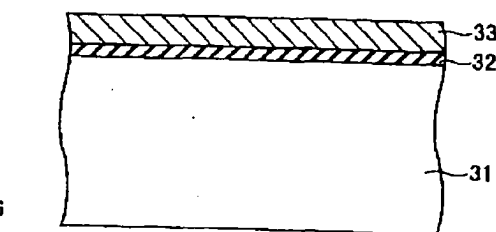
【図14】



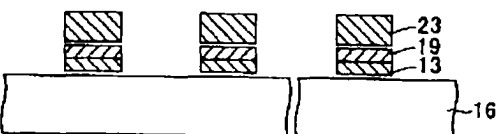
【図13】



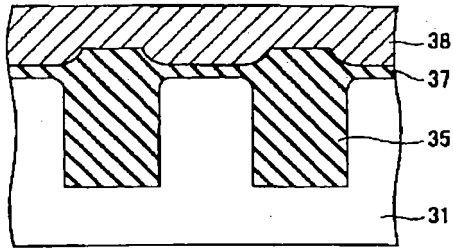
【図17】



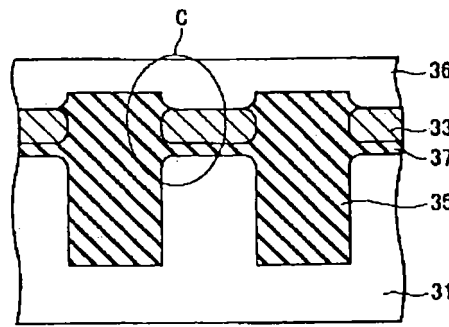
【図16】



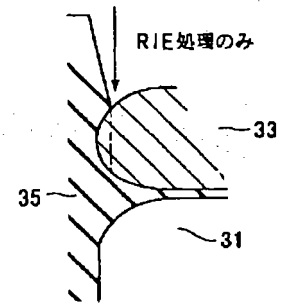
【図25】



【図26】

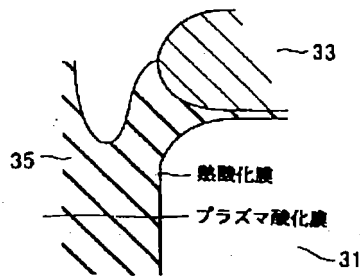


【図32】



【図30】

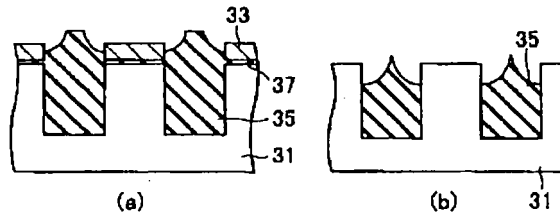
STI埋め込み材のプラズマ酸化膜のエッチングレート大



【図31】

埋め込み材後退

周辺回路部の落ち込み発生

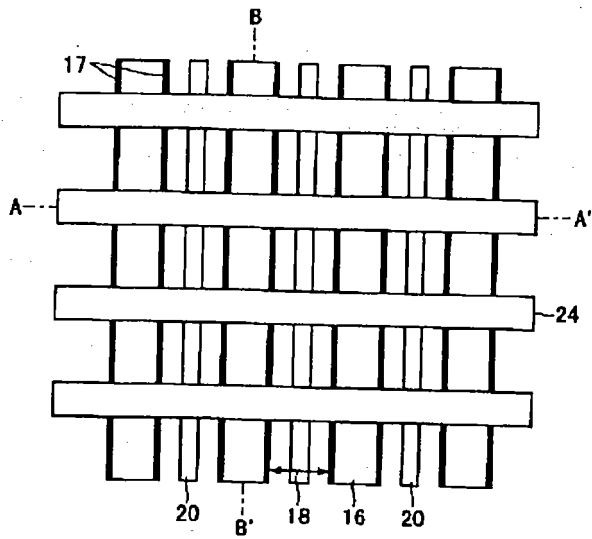


フロントページの続き

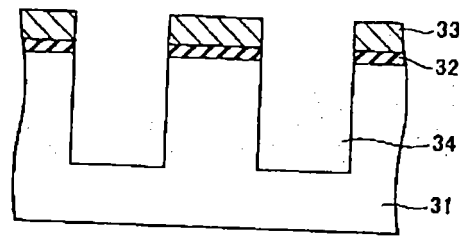
(72)発明者 山田 誠司
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 渡部 浩
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F001 AA25 AB08 AB09 AD60 AF25
AG02 AG07 AG10 AG21 AG29
AG40
5F083 EP04 EP23 EP27 GA19 GA22
GA27 GA30 NA01 PR03 PR05
PR12 ZA05 ZA07

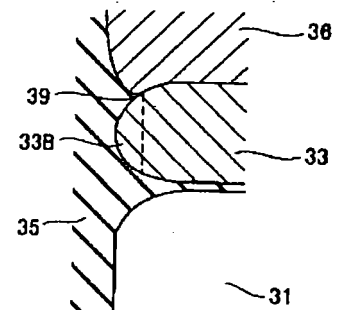
【図15】



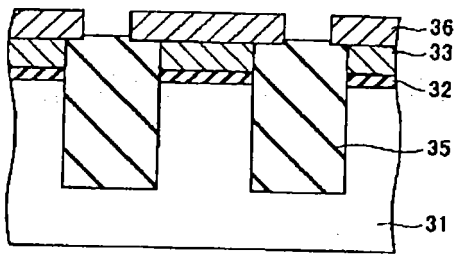
【図18】



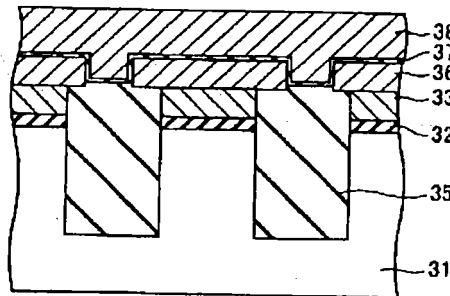
【図27】



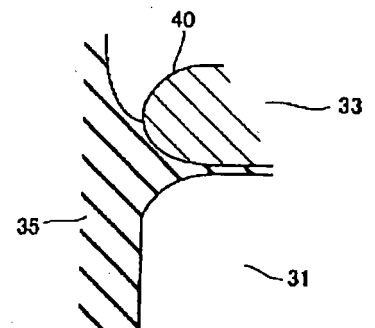
【図19】



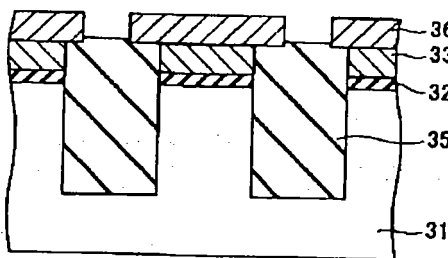
【図20】



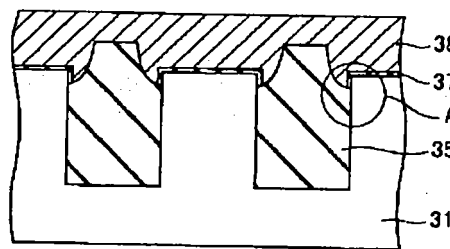
【図28】



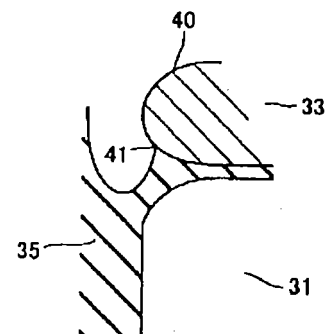
【図21】



【図22】



【図29】



【図24】

